(1)

Lec (05)

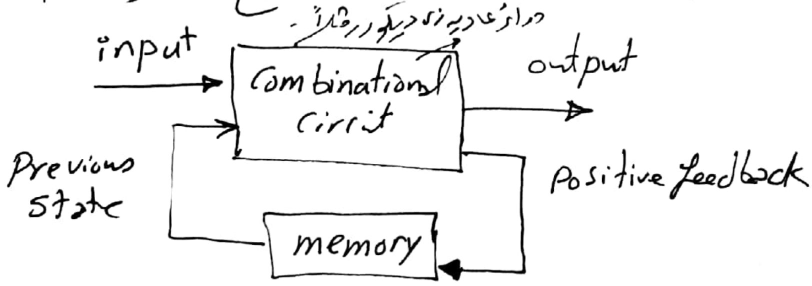
Latch & Flip-Flop

digital devices (mobile, Digital Camera, laptop, etc..) need to save / store digital data to deal with it later.

→ Place of storage is "Memory"

① سبق درسنا Combinational Circuits -- دوائر خرجها بيتغير بتغير الدخل ولا يوجد فيها تخزين ولا تتذكر الحالة السابقة للدخل "Previous State"

② ندرس الآن sequential Circuits وهي دوائر تستطيع تتذكر الحالة السابقة للدخل مع التخزين



(1) ex of combinational logic circuits (Remember) دوائر ملهاش memory

→ adders, Decoder, multiplexs, comparators, encoders, demux.

(2) ex of sequential Circuits

→ latchs, Flip Flop, counters, Registers

Flip Flop لها اسم بديل — لها أساس — وحدة بناء الذاكرة memory

مثال تطبيقي :- الأسانسير حركة الأسانسير بتعتمد على ضغطة زرار (رقم الدور)

ولو نفسها بتعتمد انت واقف في انهي دور يعني لو انت واقف في الدور الأرضي

وضغطت 1 حركته (المفروض) غير ما يكون واقف فعلاً في 1 وضغطت 1 (مش هيحصل حركة)

غير ما يكون واقف في الدور التاني وضغطت 1 (هينزل لتحت مش لفوق)

وبالتالي هنا لازم combinational & memory عشان تتم العملية دي

ماهي أنواع ال memory (عناصر تخزين البيانات)

المكان الواحد memory element يخزن 1 bit

ويتم اجراء حاجتين اساسيتين على ال memory element

0/1 → 1 bit

memory element

What

ماهي ال operation اللي ممكن اعملها على ال element ده

1. Reset — ضع صفر في ال memory
2. set — ضع 1 في ال memory
3. complement — اعكس الموجود داخل الذاكرة (not)
4. store :- leave memory as it is

When

امتى التغيير ده يحصل (operation) (level)

1. A synchronous — طول ما هي (H) تقدر تنفذ ال4 عمليات السابقة وطول ما هي (L) مفيش حاجة تتنفذ (latch) (حاجة شبه Enable)
2. synchronous — التغيير يتم من خلال ال Edges يعني يحصل التغيير مع ال +ve edge أو -ve edge (مقطع) +ve edge / -ve edge

Flip Flop ← يعني ← clock أي يحصل من خلال

EX(1) For latches → SR, D

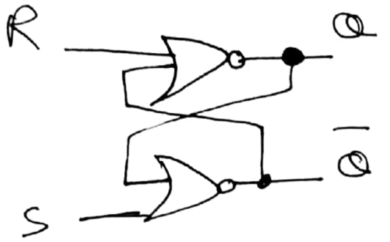
EX: For Flip Flops → SR, D, JK, T

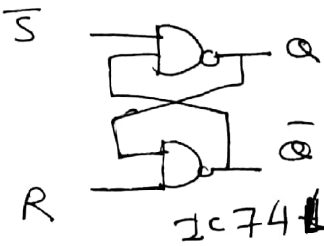
مطلوب معرفة شوية حاجات في كل مثال من السابقين

- symbol
- Logic Diagram
- Truth / ch/s table
- ch/s equation
- excitation table
- when (الـ flip flop في وجود clk)

[1] SR latch

ممكن تتعمل بـ Nand و بـ NOR





(symbol)

(4 latch)

IC74LS279

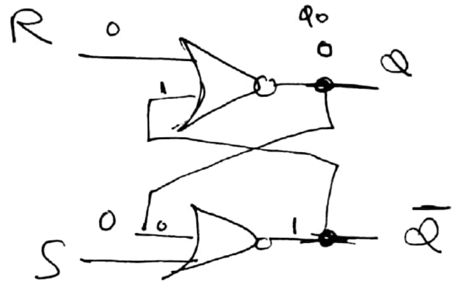
Active High input SR latch (Logic diagram) Active Low input $\bar{S}-\bar{R}$ latch

EX(1) using NOR

(ch/s table)

S	R	Q initial	Q	$\bar{Q}$	
0	0	0	0	1	$Q=Q_0$
0	0	1	1	0	$Q=Q_0$
0	1	0	0	1	$Q=0$
0	1	1	0	1	$Q=0$
1	0	0	1	0	$Q=1$
1	0	1	1	0	
1	1	0	0 (forbidden)	0	$Q=\bar{Q}$
1	1	1	0	0	

[1]

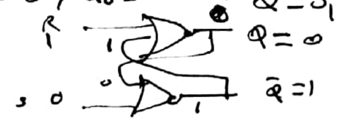


if $R=0, S=0$, $Q_0=0$ (فرض) $\therefore (\bar{Q}=1, Q=0)$

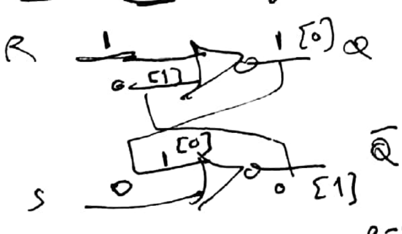
[2]

if $R=0, S=0$, $Q_0=1$ (فرض), $(\bar{Q}=0, Q=1)$

[3] if $R=1, S=0$, $Q_0=0$ $\therefore Q=0, \bar{Q}=1$

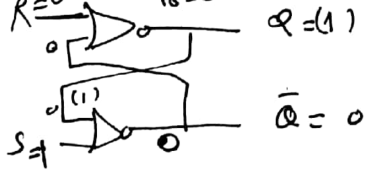


[4] if $R=1$, $S=0$, $Q_0=1$ (فرض) $\therefore (\bar{Q}=1, Q=0)$



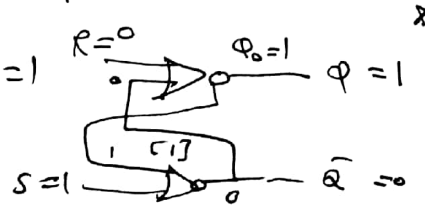
في البداية $Q_0=1$ ∴ دخل النور اللي تحت 1 ∴ خرجه $\bar{Q}=0$
∴ دخل النور اللي فوق (1,0) ∴ خرجه $Q=0$ ويرجع Q كدخل
للنور تحت (0,0) ∴ خرجه $\bar{Q}=1$ ودخل النور اللي فوق مستقر كده [0]

[5] if $R=0, S=1$, $Q_0=0$



في البداية $Q_0=0$ ∴ النور اللي تحت خرجها = 0
2 النور اللي فوق خرجها = 1 $(Q=1)$
وبالتالي النور اللي تحت دخلها = صفر $(\bar{Q}=0)$

[6] if $R=0, S=1, Q_0=1$



(7) (8) Forbidden (Not allowed for R & S to be high in the same time)

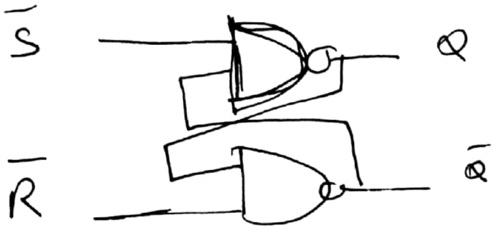
S	R	Q next state
0	0	→ Q_0 (no change)
0	1	→ 0
1	0	→ 1
1	1	→ invalid ($Q = \bar{Q} = 0$)

عمل تلخيص الجدول السابق بمعادلة

(characteristic table)

$Q_{next} = S + \bar{R} Q_0$ chrs eqn

if we used Nand gates



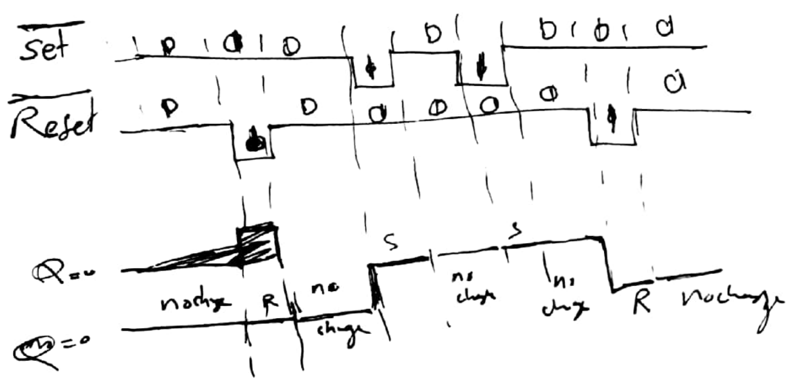
$\bar{S}$	$\bar{R}$	Q
0	0	$Q = \bar{Q} = 1$ invalid
0	1	1
1	0	0
1	1	Q_0 (nochange)

Ex1)

SR

Find Q (NOR)

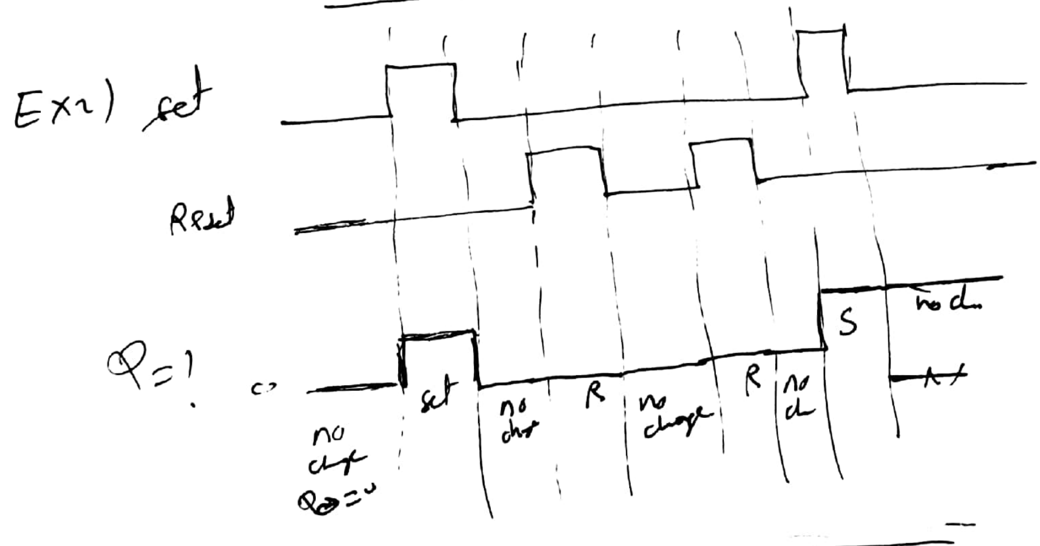
if initially Q=0



SR (NOR)

$Q_0 = 0$

Ex2)

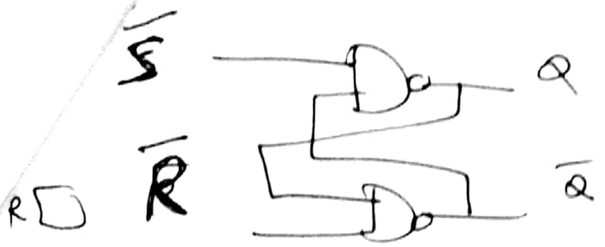


لو اعطي Q و Q ما هو

$Q_{present}$	Q_{next}	S	R
0	0	0	X (1/0)
0	1	1	0
1	0	0	1
1	1	X	0

Excitation table

⑤ شرح nand



$\overline{S}$	$\overline{R}$	Q
0	0	invalid ($Q=\overline{Q}=1$)
0	1	1
1	0	0
1	1	Q_0 nochange

① ~~S=0, R=0~~ ∴ $\overline{S}=1$, $\overline{R}=1$

نفرض ان Q = 0 ∴ النائد اللي تحت داخلها (1,0) وخرجها $\overline{Q}=1$ ودخل للنائد اللي فوق (1,1) وخرجها 0 ∴ (Q = 0) ∴ Q اللي بقى = صفر Q اللي كان = صفر

(No-change)

② $\overline{S}=1$, $\overline{R}=0$

∴ $\overline{Q}=1$, input of upper nand = (1, 1) ∴ $Q=0$

وتستقر وتبقى $\overline{Q}=1$ و $Q=0$

③ $\overline{S}=0$, $\overline{R}=1$

∴ $Q_0=0$, input of lower nand = (0, 1) ∴ $\overline{Q}=1$

∴ input of upper nand = (1, 0) ∴ $Q=1$, $\overline{Q}=0$

وتستقر وتبقى $Q=1$ و $\overline{Q}=0$

④ $\overline{S}=0$, $\overline{R}=0$

∴ $Q_0=1$, $\overline{Q}_0=1$

∴ input of lower nand = (1, 0) ∴ $\overline{Q}=1$
Q " " upper " = (1, 1) ⇒ Q = 1 } X invalid, $\overline{Q}$ is not for Q

يجب تجنب حالة دي

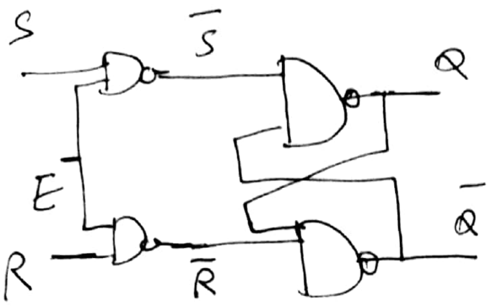
يشير الى 2 indicator في نفس الوقت

Nand SR → active low $\overline{S}$, $\overline{R}$

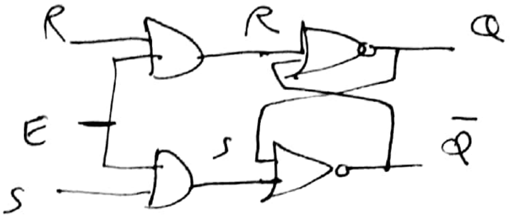
NOR SR → " High

3| SR Latch with Enable
= Controlled SR Latch
= Gated SR Latch

(IC 74HC75)



OR



E	S	R	Qnext	
0	X	X	Q_0	} no change
1	0	0	Q_0	
1	0	1	0	reset
1	1	0	1	set
1	1	1	$Q = \bar{Q}$	invalid

(1) if E = 0 :. بغض النظر عن S و R جامد فـ $\bar{S}$ و $\bar{R}$ = 1 , 1
ودى هيخلى الـ no change زى ما عرفنا شرح صفحة (5)

(2) if E = 1 عندى 4 احتمالات

(أ) اول احتمال لو S = R = 0 :. نفس النظام $\bar{S} = \bar{R} = 1$ ودى معناه no change

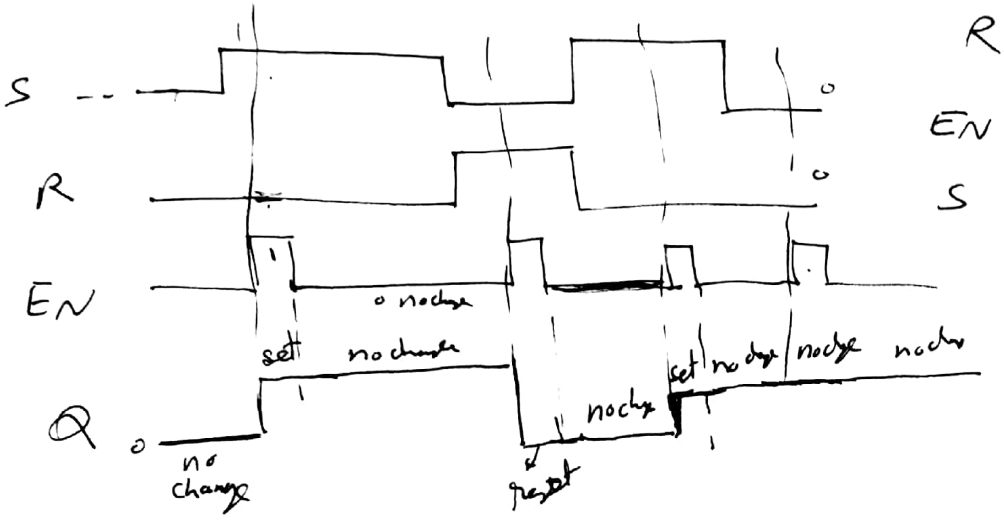
(ب) لو S = 1 و R = 0 :. $\bar{S} = 0$, $\bar{R} = 1$:. فرض $Q_0 = 1$:.
فرض $\bar{Q} = (\overline{1.1}) = 0$:. دائماً $Q = 1$ و $\bar{Q} = 0$

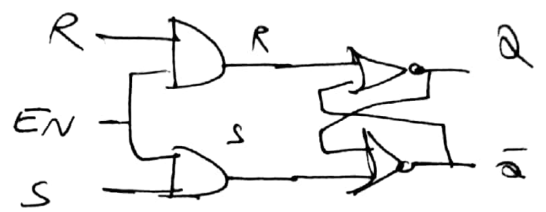
(جـ) لو S = 0 , R = 1 :. $\bar{S} = 1$ و $\bar{R} = 0$:. :. $\bar{Q}_0 = 1$:. $Q = 0$

$Q = 0, \bar{Q} = 1$

(د) لو S = 1 , R = 1 :. $\bar{S} = 0$, $\bar{R} = 0$ وده هيخلى Q , $\bar{Q} = 1$ في نفس
الوقت وده حاله غير مقبوله زي ما قلنا

EX) Determine Q if SR latch is initially Reset

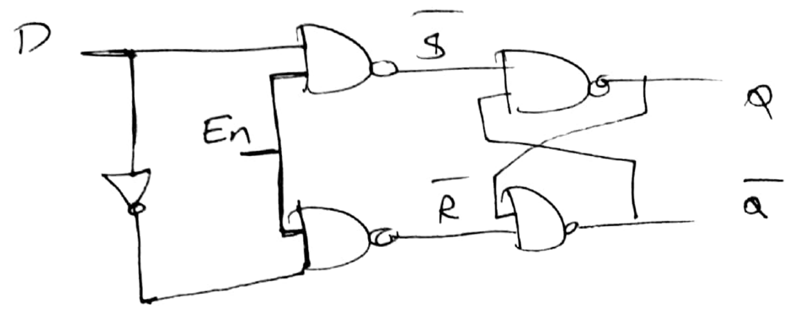




- لاحظ طول ما ال enable بصفر إذن ال no change عم بالع قبلها مع ملاحظة أن أول شي طالع كان En = صفر وبالتالي تأخذ الخرج Reset لأن قلنا في البداية Reset

- أما إذا En = 1 اتطلع R و S لو S = 1 , R = 0 ⇐ set ولو S = 0 , R = 1 Reset ولو S = 0 , R = 0 no change ولو S = 1 , R = 1 (not allowed)

4 D – latch

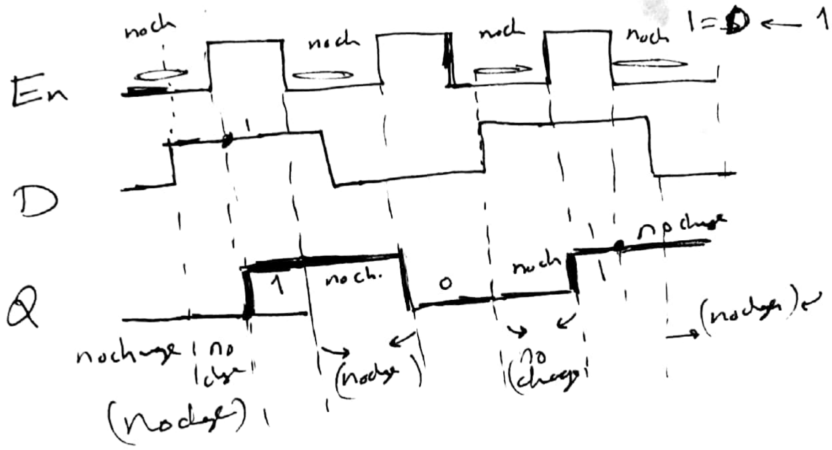


En	Date	Q	
0	x	Q_0	no change
1	0	0	reset
1	1	1	set

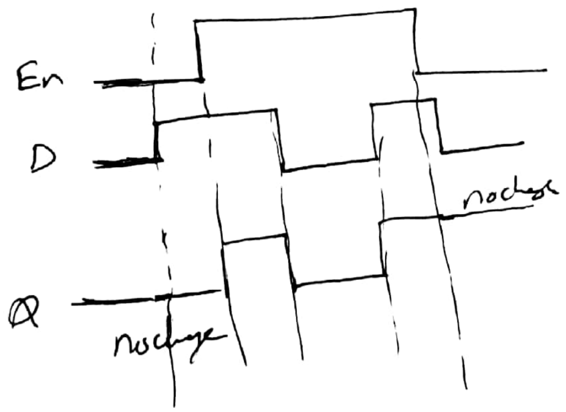
nochange 0 = En

Q = D [illegible] 1 = En

EX1)



EX2)



ميزة D-latch أنها بتحل مشكلة ال invalid (مبطلع [illegible])